

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-17945

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl.⁶
H 01 L 25/065
25/07
25/18

識別記号

府内整理番号

F I
H 01 L 25/08

技術表示箇所
B

審査請求 未請求 請求項の数17 O.L (全 13 頁)

(21)出願番号	特願平8-100916	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成8年(1996)4月23日	(72)発明者	吉田 隆幸 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(31)優先権主張番号	特願平7-98200	(72)発明者	大塚 隆 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(32)優先日	平7(1995)4月24日	(72)発明者	藤本 博昭 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
(33)優先権主張国	日本 (JP)	(74)代理人	弁理士 滝本 智之 (外1名) 最終頁に続く

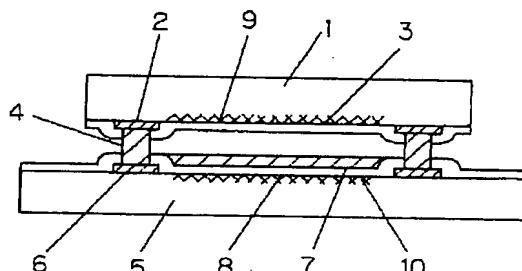
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 半導体素子を複数個積み重ねたシステムモジュールと呼ばれる半導体装置において、半導体素子間に誘起されるクロストークノイズを低減することができる半導体装置を提供する。

【解決手段】 第1の電極パッド2と第1の配線層9とを有する第1の半導体素子1を第2の電極パッド6と第2の配線層10とを有する第2の半導体素子5に積み重ねた半導体装置において、第2の半導体素子5の絶縁層8上に導体層7を設ける。

- 1 第1の半導体素子
- 2 第1の電極パッド
- 3 パッシベーション膜
- 4 バンプ(接続部材)
- 5 第2の半導体素子
- 6 第2の電極パッド
- 7 導体層(導電部材)
- 8 絶縁層(絶縁部材)
- 9 第1の配線層
- 10 第2の配線層



1

【特許請求の範囲】

【請求項1】第1の電極パッドと第1の配線層とを主面に有する第1の半導体素子と、前記第1の半導体素子と対向するように配置された第2の電極パッドと第2の配線層とを主面に有する第2の半導体素子と、前記第1の電極パッドと前記第2の電極パッドとを電気的に接続する接続部材と、前記第1の半導体素子と前記第2の半導体素子との対向する前記主面の間に重なるように配置された絶縁部材および導電部材とを備えた半導体装置。

【請求項2】絶縁部材が第1の半導体素子および第2の半導体素子のうちの少なくとも一方の主面上に形成された絶縁層からなり、導電部材が前記絶縁層上に形成された導体層からなる請求項1記載の半導体装置。

【請求項3】絶縁部材が周辺部に接続部材を備える絶縁フィルムからなり、導電部材が前記絶縁フィルム上の少なくとも一方の面上に形成された導体層からなる請求項1記載の半導体装置。

【請求項4】絶縁部材が絶縁樹脂からなり、導電部材が前記絶縁樹脂内に埋め込まれた導体箔からなる請求項1記載の半導体装置。

【請求項5】接続部材が金属突起からなる請求項1、2、3または4記載の半導体装置。

【請求項6】導電部材が、第1の半導体素子、第2の半導体素子および外部回路のうちの少なくとも1つのグランド端子に接続されている請求項1、2、3または4記載の半導体装置。

【請求項7】第1の電極パッドと第1の配線層とを主面に有する第1の半導体素子と、第2の電極パッドと第2の配線層とを主面に有する第2の半導体素子とをそれぞれの主面が対向するように配置する工程と、前記第1の半導体素子と前記第2の半導体素子との対向する前記2つの主面の間に絶縁部材および導電部材を重ねるように配置する工程と、前記第1の電極パッドと前記第2の電極パッドとを接続部材により電気的に接続する工程とを有する半導体装置の製造方法。

【請求項8】絶縁部材を配置する工程が第1の半導体素子および第2の半導体素子のうちの少なくとも一方の配線層上に絶縁層を形成する工程からなり、導電部材を配置する工程が前記絶縁層上に導体層を形成する工程からなる請求項7記載の半導体装置の製造方法。

【請求項9】接続工程が絶縁フィルムの両面に形成された突起電極を介して接続する工程からなり、導電部材を配置する工程が前記絶縁フィルムの少なくとも一方の面における少なくとも前記突起電極を除く領域に導体層を形成する工程からなり、絶縁部材を配置する工程が、第1の半導体素子上に絶縁樹脂を塗布する工程と、前記絶縁樹脂上に前記絶縁フィルムを第1の電極パッドと前記突起電極とがまた第2の電極パッドと前記突起電極とがそれぞれ対向するように載置する工程と、前記絶縁フィルム上にさらに絶縁樹脂を塗布する工程とからなる請求

2

項7記載の半導体装置の製造方法。

【請求項10】絶縁部材を配置する工程および導電部材を配置する工程が、第1の半導体素子上に絶縁樹脂を塗布する工程と、前記絶縁樹脂上における第1の電極パッド部分を除く領域に導体箔を載置する工程と、前記導体箔上に絶縁樹脂を塗布して前記導体箔を前記絶縁樹脂中に埋め込む工程とからなる請求項7記載の半導体装置の製造方法。

【請求項11】導電部材を配置する工程が、前記導電部材を無電解めっき法により形成する工程からなる請求項7または8記載の半導体装置の製造方法。

【請求項12】導電部材を、第1の半導体素子、第2の半導体素子および外部回路のうちの少なくとも1つのグランド端子に接続する工程を含む請求項7、8、9または10記載の半導体装置の製造方法。

【請求項13】第1の電極パッドと第1の配線層と第1の素子領域とを主面に有する第1の半導体素子と、前記第1の半導体素子と対向するように配置された第2の電極パッドと第2の配線層と第2の素子領域とを主面に有する第2の半導体素子とを備え、前記第2の半導体素子が前記第1の半導体素子よりも面積が大きく、かつ前記第2の半導体素子上において前記第1の配線層および前記第1の素子領域と重なる位置から離れた位置に、前記第2の配線層および前記第2の素子領域を形成してなる半導体装置。

【請求項14】第2の素子領域に、紫外線照射による消去が可能かつ書き換え可能なメモリが形成されている請求項13記載の半導体装置。

【請求項15】第2の電極パッド数が第1の電極パッド数よりも多く、かつ第2の素子領域の面積が、第2の半導体素子の面積から第1の配線層および第1の素子領域の合計面積を差し引いた面積よりも小さい請求項13記載の半導体装置。

【請求項16】第1の電極パッドと第1の配線層と第1の素子領域とを主面に有する第1の半導体素子と、前記第1の半導体素子と対向するように配置された第2の電極パッドと第2の配線層と第2の素子領域とを主面に有する第2の半導体素子とを備え、前記第1の配線層の配線と第2の配線層の配線とが互いに接触することなく任意の交差角で交差する状態に前記第1の半導体素子と前記第2の半導体素子とを配置してなる半導体装置。

【請求項17】第1の電極パッドと第1の配線層と第1の素子領域とを主面に有する第1の半導体素子と、前記第1の半導体素子と対向するように配置された第2の電極パッドと第2の配線層と第2の素子領域とを主面に有する第2の半導体素子とを備え、前記第1の半導体素子の駆動電圧と前記第2の半導体素子の駆動電圧との差が、両者のうち駆動電圧が低い方の半導体素子のオンまたはオフを決定するしきい値電圧よりも小さい半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品の実装分野におけるマルチチップモジュール等に適用される半導体装置およびその製造方法に関する。

【0002】

【従来の技術】近年、電子部品においては、電子機器の小型化、高機能化、および動作速度の高速化に対応してモジュール化が進行している。これらのマルチチップモジュールにおいては、半導体素子上にさらに別の半導体素子を搭載して1つのパッケージ内に納めた半導体装置を配線基板上に搭載したものが提案されている。

【0003】以下図面を参照しながら、複数個の半導体素子を積層した従来の半導体装置の一例について説明する。図18は従来の半導体装置の断面構造を示す図であり、図19はその接合工程を示す図である。

【0004】従来の半導体装置は、第1の電極パッド92とバッシベーション膜94とを形成した第1の半導体素子91を、第2の電極パッド97とバッシベーション膜99とを形成した第2の半導体素子96上に搭載した構造を有する。ただし、第1の電極パッド92と第2の電極パッド97とは、これらの上にそれぞれ形成されたバリアメタル93、98を介して、半田からなる金属突起すなわちバンプ95を用いたフリップチップ実装法により結合されている。なお、バンプ95を電解めっきで形成した場合には、バンプ95と第1および第2の電極パッド92、97との密着性をよくするため、通常バンプ95とこれらの電極パッド92、97との間にバリアメタル93、98が設けられている。さらに、第1の半導体素子91と第2の半導体素子96との間には、エポキシ系、アクリル系、またはシリコン系の絶縁樹脂100が注入されている。

【0005】次に、第1の半導体素子91と第2の半導体素子96とを接合する工程について説明する。まず、図19の工程(a)に示すように、第1の半導体素子91上に、EB蒸着法等を用いてTi、PdまたはAuからなるバリアメタル層93が形成される。次に工程(b)に示すように、第1の電極パッド92を除く部分がフォトリソグラフィー技術により、フォトレジスト101で覆われる。そして、工程(c)に示すように、電極パッド92上方のバリアメタル層93上に、電解めっき法等により、バンプ95となるPbまたはSn半田が形成される。さらに、工程(d)に示すように、フォトレジスト101が除去された後、バリアメタル層93の電極パッド上を除く部分が王水、フッ酸等により除去される。同様の工程により、第2の半導体素子96上にもバリアメタル98が形成される。

【0006】次に、工程(e)に示すように、第1の半導体素子91のバンプ95と第2の半導体素子96のバリアメタル93とが位置合わせされた後、加圧および加熱により両者が結合される。そして、工程(f)に示すように、絶縁樹脂100が第1の半導体素子91と第2の半導体素子96と

の間に注入され、絶縁樹脂100が硬化させられて第2の半導体素子96上への第1の半導体素子91の搭載が完了する。

【0007】

【発明が解決しようとする課題】しかしながら上記従来の構成では、第1の半導体素子と第2の半導体素子との間隔を100μm以下に狭くしようとすると、それぞれの半導体素子上の正面に形成されている配線層を流れる信号が相互に干渉し合うため、クロストークノイズが発生する。このため、半導体装置が誤動作するという課題があった。

【0008】クロストークノイズ信号の大きさをソース信号の大きさの10%以内に抑制しようとすると、2つの半導体素子を横方向に並べて配列した場合でさえ300μm以上の間隔が必要であることが報告されている。したがって、2つの半導体素子を上下方向に積層した場合には、少なくとも数百μm以上の間隔が必要であると考えられ、100μm以下に狭くすることは極めて困難な課題であった。

【0009】本発明の目的は、第1の半導体素子の配線層と第2の半導体素子の配線層との間のクロストークノイズの発生を低減できる半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】請求項1記載の半導体装置および請求項7記載の半導体装置の製造方法は、第1の半導体素子を第2の半導体素子上に電極パッドを介して搭載した半導体装置において、両半導体素子間に絶縁部材および導電部材を配置したものである。この構成によれば、両半導体素子間の間隔を狭くした場合でも、両半導体素子間に導電部材を配置しているため、クロストークノイズの発生が抑えられる。たとえば、第1の半導体素子と第2の半導体素子との間隔を100μm以下に狭めても、クロストークノイズ信号の大きさをソース信号の大きさの10%以内に抑えることができる。

【0011】請求項13記載の半導体装置は、第1の半導体素子を第2の半導体素子上に電極パッドを介して搭載した半導体装置において、第2の半導体素子の面積を第1の半導体素子の面積よりも大きくし、かつ第2の半導体素子上における第1の半導体素子と重ならない位置に、第2の半導体素子の配線層および素子領域を形成したものである。この構成によれば、第1の半導体素子の下方には第2の半導体素子の配線層および素子領域が存在しない構成であるため、クロストークノイズが零または誤動作を生じないレベルにまで低減される。

【0012】請求項16記載の半導体装置は、第1の半導体素子を第2の半導体素子上に電極パッドを介して搭載した半導体装置において、両半導体素子の配線が互いに交差するようにしたものである。この構成によれば、両者の配線が平行にならないように配置することによっ

てクロストークノイズが誘起されにくくなるため、クロストークノイズを誤動作が生じないレベルにまで低減することができる。

【0013】請求項17記載の半導体装置は、第1の半導体素子を第2の半導体素子上に電極パッドを介して搭載した半導体装置において、第1の半導体素子の駆動電圧と第2の半導体素子の駆動電圧との差を、両者のうち駆動電圧が低い方の半導体素子のオンまたはオフを決定するしきい値電圧よりも小さくしたものである。この構成によれば、両者の駆動電圧差を駆動電圧が低い方の半導体素子のしきい値よりも小さくしているため、クロストークノイズが誤動作を生じないレベルにまで低減される。

【0014】

【発明の実施の形態】まず、本発明の第1の実施の形態について図面を参照しながら説明する。図1は、第1の実施の形態における半導体装置の半導体素子接合部における構造を示すものである。この半導体装置は、第1の電極パッド2、第1の配線層9および第1の電極パッド2を除く部分を被覆する絶縁部材としてのバッシベーション膜3が形成された第1の半導体素子1を、第2の電極パッド6が形成された第2の半導体素子5上に搭載したものである。ただし、第2の半導体素子5には、第2の電極パッド6を除く部分を覆う絶縁部材としての絶縁層8が形成され、さらにこの絶縁層8上における第2の配線層10の上方部分に、導電部材である導体層7が形成されている。また、第1の電極パッド2と第2の電極パッド6とは、接続部材である金属突起を構成するバンプ4で電気的に結合されている。

【0015】なお、この半導体装置をパッケージする場合など、必要に応じて第1の半導体素子1と第2の半導体素子5との間に、エポキシ系、アクリル系、またはシリコーン系の絶縁樹脂を設けてもよい。たとえば、この半導体装置をベアチップの状態で配線基板上に搭載する場合には、両半導体素子1、5間に絶縁樹脂を注入しておく。リードフレームを用いてパッケージする場合には、この半導体装置を金型内に挿入した後、金型に絶縁樹脂を注入する。

【0016】図2は第2の半導体素子5上における第2の電極パッド6と導体層7との配置関係を示す図である。導体層7には突出したグランド端子11が設けられ、このグランド端子11は第2の電極パッド6の内の1つと接続されている。なお、グランド端子11は必ずしも必要ではない。しかしながら、グランド端子11を形成してこれを接地するほうが、より確実にクロストークノイズが低減され、好ましい。導体層7は、絶縁層8上に形成する代わりにバッシベーション膜3上に形成してもよく、また、絶縁層8上およびバッシベーション膜3上の両方に形成してもよい。導体層7は、少なくとも第1の配線層9および第2の配線層10を覆うように設けられていい

ばよい。

【0017】図3に第1の半導体素子1と第2の半導体素子5との接合方法の一例を示す。まず、工程(a)に示すように、絶縁層8上にAl-Si-Cu合金からなる導体膜12をスパッタリングにより形成する。次に、工程(b)に示すように、図2に示す形状の導体層7を形成するため、グランド端子11となる第2の電極パッド6の開口部分および配線層10の上方部分をフォトレジストにより覆った後、ドライエッチング法を用いて導体膜12の不要部分を除去する。なお、グランド端子11が不要な場合は除去すればよい。導体膜12の材料としては、Al-Si-Cu合金が配線材料に使用されているから、これと同じ材料を用いることが製造上有利である。しかしながら、導体膜12の材料は必ずしもこれに限定されるものではなく、他の導電材料を用いてもよい。

【0018】次に、工程(c)に示すように、第1の半導体素子1の第1の電極パッド2上に、無電解めっき法により、例えばNiコアAuバンプからなる金属突起のバンプ4を形成する。その後、工程(d)に示すように、バンプ4と第2の電極パッド6とが対向するように第1の半導体素子1と第2の半導体素子5とを配置する。そして、工程(e)に示すように、加圧および加熱治具13を用い、第1の半導体素子1と第2の半導体素子5とを加圧および加熱する。このときの加圧条件はバンプ1個あたり0.1グラムから100グラム程度の圧力であり、加熱条件は250°Cから450°Cまでの温度である。この加圧および加熱により、Au-Al合金接合を行う。

【0019】なお、Au-Au接合の場合、すなわち、両方の電極パッド2、6上にNiコアAuバンプを形成した場合あるいは第2の電極パッド6上にAuがコートされている場合も、加圧加熱条件はAu-Al合金接合の場合の条件と同じである。はんだ合金接合の場合の条件は、加熱温度が60°Cから250°Cまでの範囲で、加圧力は半導体素子1自身の重量から数グラムまでの範囲の圧力で十分である。また、このような合金接合以外にも、COG法として広く知られている絶縁樹脂を介した接合法を用いたMBB(マイクロバンプボンディング)法等のフリップチップ法を用いることもできる。

【0020】上記のように本実施の形態における半導体装置では、2個の半導体素子(第1の半導体素子及び第2の半導体素子)を金属突起を介して接続され、その際に上記の2つの半導体素子間に導体層7が形成されているため、クロストークノイズを低減することができる。また、従来の半導体装置の製造法における工程中で導体層7を形成することができるため、余分な装置等を導入する必要がない。

【0021】図4は、図3に示す導体層の形成方法を変えた接合方法を示す図である。この方法の場合には、図4の工程(a)に示すように、まず、グランド端子11と接

続される電極パッド以外の電極パッド6をフォトレジスト14により覆う。次に、工程(b)に示すように、無電解めっき法によりSn/Pd/Niの3層構造の導体膜12を絶縁層8上に形成する。そして、フォトレジスト14を除去し、導体膜12を形成する。この導体膜12をそのまま導体層として用いる。その後の工程(c)、(d)、(e)は、図3に示す工程(c)、(d)、(e)と同じである。図4の場合は、無電解めっき法により導体層12が形成されている点、および導体層12が第2の配線層10の上面だけでなく第2の電極パッド6の周辺部にも設けられている点が図3の場合とは異なる。

【0022】なお、導体層12には、上記Sn/Pd/Niの3層構造のもの以外にも、AgやSnの金属層あるいはSn/Pdの2層構造の無電解めっき可能な金属層を用いることができる。さらに、これらの2層あるいは3層構造の金属層を熱処理により合金化したSn-PdあるいはSn-Pd-Ni合金層を用いてもよい。また、導体層12は、必ずしも第2の電極パッド6を除く全面に形成される必要はなく、少なくとも第1の配線層9および第2の配線層10を覆うように形成されればよい。

【0023】この図4に示す接合方法では、半導体装置の製造工程中で導体層を形成する必要がないため、無電解めっき処理を行う装置さえあれば、どのような完成されたペアチップであっても容易に導体層を形成することができる。

【0024】なお、図3および図4に示す接合方法では、バンプ4にNiコアAuバンプを用いた例を示したが、これ以外にAuバンプや、Sn-Pb、In-Sn合金等から構成されるはんだバンプ等を用いてもよい。さらに、転写バンプ法による形成も可能である。バンプ4の直径は、NiコアAuバンプおよびAuバンプの場合は5μmから100μmの範囲に、はんだバンプの場合は100μm程度である。クロストークノイズをより減少させるために両電極パッド間2、6の間隔をより広くする場合には、第2の半導体素子5の第2の電極パッド6上にもバンプを形成することが好ましい。この場合は、工程(a)、(b)の前に工程(c)を第2の半導体素子5に対して行う。

【0025】次に、本発明の第2の実施の形態について図面を参照しながら説明する。図5は、第2の実施の形態における半導体装置の断面構造を示すものである。ただし、図5において、図1に示す部材と同じ部材には同一符号を付してあり、その説明は省略する。図5に示す半導体装置では、第1の半導体素子1と第2の半導体素子5との間に、導電部材である導体層18を形成した絶縁部材である絶縁フィルム16を配置している。第1の電極パッド2と第2の電極パッド6との接続は、バンプ4a、4bを介して、絶縁フィルム16に形成した接続部材である金属突起17により行われている。

【0026】図6は、絶縁フィルム16上に形成された金

属突起17および導体層18の配置を示す平面図である。符号19は、絶縁フィルム16上に形成された金属突起17のうち、グランド端子に接続される金属突起を示す。

【0027】図7は、この半導体装置における半導体素子の接合方法の一例を示す工程図である。まず、工程(a)に示すように、第2の半導体素子5上にアクリル系、エポキシ系、あるいはシリコーン系よりなる絶縁樹脂20を塗布する。そして、工程(b)に示すように、Auの金属突起17および導体層18を有するポリイミドからなる絶縁フィルム16を、位置合わせをしながら絶縁樹脂20上に配置する。なお、金属突起17には、Au以外に、NiコアAu等の金属、またはSn-Pb、In-Sn等のはんだが用いられる。金属突起17の代わりに、必要に応じて、導体フィラーを混入したペースト等による導電突起を用いることもできる。ただし、この導電突起は金属突起よりも電気抵抗が大きいため、金属突起のほうが好ましい。

【0028】次に、工程(c)に示すように、絶縁フィルム16上にアクリル系、エポキシ系、またはシリコーン系の絶縁樹脂22を塗布する。そして、工程(d)に示すように、電極パッド2上に形成されたバンプ4aと絶縁フィルム16上の金属突起17とを位置合わせしながら、第1の半導体素子1を絶縁樹脂22上に配置する。その後、図3の工程(e)と同様の加圧、加熱方法および条件により、第1の半導体素子1と第2の半導体素子5とを接合する。

【0029】なお、絶縁フィルム16がポリエチレンなどのようにポリイミドよりも耐熱性に劣る材料から構成され、金属突起17が数十°C程度の加熱温度で接合可能なSn-In系の低融点はんだから構成される場合には、はんだ合金接合を行い、また同時に絶縁樹脂20、22を硬化させて第1の半導体素子1を第2の半導体素子5上に搭載する。また、絶縁樹脂20、22が光硬化性絶縁樹脂である場合は、加圧、加熱ツール13を用いて第1の半導体素子1と第2の半導体素子5とを加圧しながら紫外線を照射し、絶縁樹脂20、22を硬化させながら第1の半導体素子1を第2の半導体素子5上に搭載することも可能である。

【0030】一方、突起17が導体フィラーを混入したペーストから構成されている場合には、絶縁樹脂20、22に光硬化性絶縁樹脂を用い、加圧、加熱ツール13を用いて第1の半導体素子1と第2の半導体素子5を加圧しながら紫外線を照射し、絶縁樹脂20、22を硬化させて第1の半導体素子1を第2の半導体素子5上に搭載する。

【0031】本実施の形態では、第1の半導体素子1と第2の半導体素子5との間に絶縁フィルム16上に設けた導体層18を介在させる構造を有しているため、クロストークノイズを大きく低減することができる。また、半導体素子の製造工程とは別の工程において絶縁フィルム上にあらかじめ金属突起を形成しておくことができるた

め、量産性に優れるという効果を有する。

【0032】なお、本実施の形態ではグランド端子を第1の半導体素子または第2の半導体素子上に形成したが、外部回路にグランド端子を形成し、このグランド端子に導体層18を接続しても同様の効果が得られることは言うまでもない。

【0033】次に、本発明の第3の実施の形態について図面を参照しながら説明する。図8は、第3の実施の形態における半導体装置の断面構造を示すものである。ただし、図8において、図1に示す部材と同じ部材には同一符号を付してあり、その説明は省略する。図8に示す半導体装置は、第1の半導体素子1と第2の半導体素子5との間に、絶縁部材である絶縁樹脂24、25に埋め込まれた導電部材である銅の導体箔23を配置したものである。導体箔23には、銅箔の他、アルミ箔など導電性金属箔を用いることができる。

【0034】図9は、この半導体装置における半導体素子の接合方法の一例を示す工程図である。まず、工程(a)に示すように、第1の半導体素子1上の第1の電極パッド2上に、無電解めっき法によりNiコアAuバンプのバンプ4aを形成する。また、第2の半導体素子5の第2の電極パッド6上にも同様のバンプ4bを形成する。なお、バンプ4a、4bには、NiコアAuバンプ以外に、Au等の金属、またはSn-Pb、In-Sn等のはんだを用いることができる。バンプ4a、4bの直径は、NiコアAuバンプ、Auバンプの場合は5μmから100μm、はんだバンプの場合は100μm程度である。

【0035】次に、工程(b)に示すように、アクリル系、エポキシ系、あるいはシリコーン系よりなる絶縁樹脂24をバッジベーション膜3上に塗布する。そして、工程(c)に示すように、絶縁樹脂24上にバンプ4a以外の部分の第1の半導体素子1上を覆う形状を有する銅箔の導体箔23を配置する。さらに、工程(d)に示すように、導体箔23上にアクリル系、エポキシ系、シリコーン系等の絶縁樹脂25を塗布する。

【0036】次に、工程(e)に示すように、バンプ4aとバンプ4bとを位置合わせする。そして、加圧、加熱ツール13を用いて第1の半導体素子1と第2の半導体素子5とをバンプ1個あたり0.1グラムから100グラム程度の圧力、250°Cから450°C程度の温度で加圧、加熱してAu-Au接合する。なお、バンプを半導体素子1、5のうちの一方にのみ形成したAu-Au接合の場合も、加圧加熱条件は上記Au-Au接合の場合と同じである。はんだ合金接合の場合は、60°Cから250°Cまでの加熱温度、半導体素子5自身の重量から数グラムまでの範囲の圧力を加圧、加熱する。このとき、絶縁樹脂24、25を同時に硬化させて第2の半導体素子5を第1の半導体素子1上に搭載する。なお、絶縁樹脂24、25が光硬化性絶縁樹脂である場合は、加圧、加熱ツール

13を用いて第1の半導体素子1および第2の半導体素子5を加圧しながら紫外線を照射して絶縁樹脂24、25を硬化させ、第2の半導体素子5を第1の半導体素子1上に搭載することも可能である。

【0037】上記のように本実施の形態における半導体装置では、2個の半導体素子を金属突起を介して接続し、その際に上記の2つの半導体素子間に導体箔が保持されているため、第1の配線層9と第2の配線層10との間に生じるクロストークノイズを低減することができる。また、前述した第1及び第2の実施の形態における導体層に代えて導体箔を載置することにより、上記第1及び第2の実施の形態に比較して容易にクロストークノイズ低減の効果を得ることができる。

【0038】次に、本発明の第4の実施の形態について、図面を参照しながら説明する。図10は、第4の実施の形態における半導体装置の半導体素子接合部の断面構造を示す図である。第1の半導体素子31には、第1の電極パッド32と第1のバッジベーション膜33と配線層を含む第1の素子領域34とが形成されている。第1の半導体素子31よりも面積の大きい第2の半導体素子35には、第2の電極パッド36と第2のバッジベーション膜37と配線層を含む第2の素子領域38と外部回路に接続するためのパッド36aが形成されている。ただし、第2の素子領域38は、第1の半導体素子31とは重ならない位置に形成されている。第1の電極パッド32と第2の電極パッド36とは金属突起すなわちバンプ39により電気的に接続されている。第1の半導体素子31と第2の半導体素子35との間隙及びその周辺には、絶縁樹脂40が充填されている。なお、絶縁樹脂40は必須の構成部材ではなく、必要に応じて設ければよい。

【0039】図11に、この半導体装置における2つの半導体素子の搭載方法を示す。まず、工程(a)に示すように、第1の半導体素子31の電極パッド32上に無電解めっき法を用いてNiコアAuよりなるバンプ39を形成する。バンプ39はAuバンプ、またはSn-Pb、In-Sn等から構成されるはんだバンプでもよい。また、転写バンプ法による形成も可能である。バンプ39の径は、NiコアAuバンプ、Auバンプの場合は5μmから100μm、はんだバンプの場合は100μm程度のものを用いる。また、バンプ39は第1の半導体素子31上および第2の半導体素子35上の両方に形成してもよい。

【0040】次に、工程(b)に示すように、第1の電極パッド32と第2の電極パッド36とをバンプ39を介して位置合わせする。そして、工程(c)に示すように、加圧、加熱ツール13を用いて、第1の半導体素子31を第2の半導体素子35上に搭載する。このとき、バンプ1個あたり0.1グラムから100グラムまでの範囲の加圧力、および250°Cから450°Cまでの範囲の温度で加圧加熱し、Au-Au接合する。なお、Au-Au接合の場合の加圧加熱条件もAu-Au接合における

る条件と同じである。はんだ合金接合の場合は、60°Cから250°Cまでの範囲の加熱温度、半導体素子31自身の重量から数グラムまでの範囲の加圧力である。合金接合以外にも、COG法として広く知られている絶縁樹脂を介した接合法を用いたMBB法等のフリップチップ法を用いてよい。

【0041】次に、工程(d)に示すように、第1の半導体素子31と第2の半導体素子35との間隙およびその周辺部に絶縁樹脂40を注入し、硬化させる。なお、絶縁樹脂40が光硬化性絶縁樹脂である場合は、加圧、加熱ツール13を用いて第1の半導体素子31および第2の半導体素子35を加圧しながら紫外線を照射して絶縁樹脂40を硬化させ、第2の半導体素子35を第1の半導体素子31上に搭載することも可能である。

【0042】このように、第1の素子領域34の下方位置には配線層を含む第2の素子領域38が形成されていないため、第1の素子領域34と第2の素子領域38との間のクロストークノイズの発生を抑えることができる。

【0043】次に、本発明の第5の実施の形態について、図面を参照しながら説明する。図12に示す第5の実施の形態は、図10に示す第4の実施の形態の変形例で、汎用MCU(マイクロコンピュータ)からなる第1の半導体素子41を、メモリおよびロジック回路を有する第2の半導体素子42上に搭載したE PROMモジュールである。なお、図12において、図10に示す部材と同じ部材には同一符号を付しており、その説明は省略する。E PROM43およびロジック回路44は、第1の半導体素子41と重ならない第2の半導体素子42上の位置に形成されている。また、ロジック回路44は他のメモリを含んでよい。さらに、本実施の形態においても、図10に示す絶縁樹脂40を必要に応じて充填してもよい。

【0044】第1の半導体素子41と第2の半導体素子42とを接合する方法は、図11に示す工程(a)から工程(c)までの工程と同じであり、その説明を省略する。

【0045】本実施の形態では、E PROM43およびロジック回路44が、第2の半導体素子42上における第1の半導体素子41と重ならない位置に形成されているため、導体層を設けなくてもクロストークノイズの発生が抑えられる。さらに、E PROMが第1の半導体素子の下方に形成されている従来の半導体装置とは異なり、この半導体装置ではE PROM43の上方が開放されているため、上方から紫外線を照射してE PROM43のプログラムやデータを容易に消去および書き換えすることができる。なお、少なくともE PROM43が第1の半導体素子41と重ならない位置に形成されている場合には、紫外線照射による消去が可能である。また、ロジック回路44が第1の半導体素子41の下方に形成されている場合には、第1の半導体素子41と第2の半導体素子42との間に導体層を設けることにより、クロストークノイズの発生を抑えることができる。

【0046】次に、本発明の第6の実施の形態について、図面を参照しながら説明する。図13に示す第6の実施の形態は、図10に示す第4の実施の形態のもう1つの変形例で、汎用MCUからなる第1の半導体素子45を、ICE(インサーキットエミュレータ)素子からなる第2の半導体素子46上に搭載したICEモジュールである。なお、図13において、図10に示す部材と同じ部材には同一符号を付しており、その説明は省略する。

【0047】ICE回路およびメモリからなる回路47は、第1の半導体素子45と重ならない第2の半導体素子46上の位置に形成されている。なお、パッド36aはユーザー用の外部端子であり、第2の電極パッド36とパッド36aとの合計数を第1の電極パッド32の数よりも多くしている。また、回路47の面積が第2の半導体素子46の面積から汎用MCUの面積を差し引いた面積よりも小さくなるように、回路47を形成している。

【0048】第1の半導体素子45と第2の半導体素子46とを接合する方法は、図11に示す工程(a)から工程(c)までの工程と同じであり、その説明を省略する。

【0049】本実施の形態の場合も、ICE回路およびメモリからなる回路47が、第2の半導体素子46上における第1の半導体素子45と重ならない位置に形成されているため、クロストークノイズの発生が抑えられる。

【0050】次に、本発明の第7の実施の形態について、図面を参照しながら説明する。図14は、第7の実施の形態における半導体装置を第1の半導体素子51の真上から透視した場合の平面構造を示したものである。第1の半導体素子51上には、第1の電極パッド52および第1の素子領域(図示せず)と重なる第1の配線53が形成されている。第2の半導体素子55上には、第2の電極パッド56および第2の素子領域(図示せず)と重なる第2の配線57が形成されている。そして、第1の半導体素子51と第2の半導体素子55とが、配線53の方向と配線57の方向とがほぼ直交するように配置されている。第1の電極パッド52と第2の電極パッド56とは、金属突起すなわちバンブ54により接続されている。第1の半導体素子51と第2の半導体素子55との間隙及びその周辺には、絶縁樹脂58が充填されている。なお、絶縁樹脂58は必須の構成部材ではなく、必要に応じて設ければよい。

【0051】第1の半導体素子51と第2の半導体素子55とを接合する方法は、図11に示す工程(a)から工程(d)までの工程と同じであり、その説明を省略する。

【0052】このように、第1の半導体素子51と第2の半導体素子55とを、配線53の方向と配線57の方向とがほぼ直交するように配置することにより、配線53と配線57との間に発生するクロストークノイズを著しく低減させることができる。なお、配線53の方向と配線57の方向との交差角度が直角からずれるとともに、クロストークノイズは増大する。したがって、配線53の方向と配線57の方向とをほぼ直交させることが最も好ましい。しかしな

13

がら、本発明はこの直交配置に限定されるものではなく、クロストークノイズの大きさが半導体装置に誤動作が生じないレベルであれば、配線53の方向と配線57の方向との交差角度を直角よりも小さくすることができる。ただし、両者の方向が平行である場合はクロストークノイズの最も大きく、好ましい配置ではない。

【0053】次に、本発明の第8の実施の形態について、図面を参照しながら説明する。図15(a)は、第8の実施の形態における半導体装置の断面および回路を示す模式図である。第1の半導体素子61上には、第1の電極パッド62および第1の素子領域(図示せず)と重なる第1の配線63が形成されている。第2の半導体素子65上には、第2の電極パッド66および第2の素子領域(図示せず)と重なる第2の配線67が形成されている。そして、第1の配線63と第2の配線67が接触しないように、第1の電極パッド62と第2の電極パッド66が金属突起すなわちバンブ64を介して接続されている。なお、第1の半導体素子61と第2の半導体素子65とを接合する方法は、図11に示す工程(a)から工程(c)までの工程と同じであり、その説明を省略する。

【0054】図15(b)は、第1の配線63および第2の配線67の長さがともに1mmで、かつ両配線63、67の方向が互いに平行である場合の等価回路を示す図である。図15(b)には、第1の配線63の抵抗68、インダクタンス69、および対基板容量70が示され、第2の配線67の抵抗71、インダクタンス72、および対基板容量73が示され、配線63、67間に誘起される相互インダクタンス74および相互容量75が示されている。

【0055】相互インダクタンス74と相互容量75により誘起されるクロストークノイズを抑えるため、本実施の形態では第1の半導体素子61の駆動電圧と第2の半導体素子65の駆動電圧との差が、両者のうちの駆動電圧の低いほうの半導体素子が持つしきい値電圧より小さくなるようにしている。例えば、第2の半導体素子65の駆動電圧が2Vであり、かつオンとオフとが1Vを境に決定される場合には、第1の半導体素子61の駆動電圧を3V未満とする。この場合は、両者の駆動電圧差が1V未満となってしきい値1Vよりも小さくなるため、クロストークノイズが小さくなる。

【0056】比較例として、図16に、第2の半導体素子65の駆動電圧Q2が2V、第1の半導体素子61の駆動電圧Q1が5Vの場合、それぞれの入力バッファ直前のクロストークノイズQ3の発生状態を示す。この場合は、駆動電圧差が3Vであり、低い駆動電圧Q2よりも大きいので明らかにしきい値よりも大きく、クロストークノイズQ3が第2の半導体素子65の配線67上に大きく誘起されていることがわかる。

【0057】次に、図17に、第1の半導体素子61の駆動電圧Q4および第2の半導体素子65の駆動電圧Q5がともに3.3Vの場合のそれぞれの入力バッファ直前の

14

クロストークノイズQ6の発生状態を示す。この場合、駆動電圧の差が0Vであり、明らかにしきい値よりも小さく、クロストークノイズQ6が半導体装置の動作に影響を与えないレベルとなっていることがわかる。

【0058】このように、第1の半導体素子61と第2の半導体素子65とを対向させ、かつバンブ64を介して電気的に接続した構造において、第1の半導体素子61の駆動電圧と第2の半導体素子65の駆動電圧との差が駆動電圧の小さいほうの半導体素子のしきい値電圧より小さい場合には、第1の半導体素子61および第2の半導体素子65の配線間に発生するクロストークノイズを半導体装置が誤動作しないレベルにまで低減することができる。

【0059】

【発明の効果】以上の説明から明かなように、本発明によれば、第1の半導体素子と第2の半導体素子との間隔を狭くした場合でも、両半導体素子の配線間に発生するクロストークノイズを零または誤動作が生じないレベルにまで低減することができる。

【図面の簡単な説明】

20 【図1】本発明の第1の実施の形態における半導体装置の断面図

【図2】同実施の形態における第2の半導体素子の上面図

【図3】同実施の形態における半導体装置の第1の製造方法を示す工程図

【図4】同実施の形態における半導体装置の第2の製造方法を示す工程図

【図5】本発明の第2の実施の形態における半導体装置の断面図

30 【図6】同実施の形態における第2の半導体素子の上面図

【図7】同実施の形態における半導体装置の製造方法を示す工程図

【図8】本発明の第3の実施の形態における半導体装置の断面図

【図9】同実施の形態における半導体装置の製造方法を示す工程図

【図10】本発明の第4の実施の形態における半導体装置の断面図

40 【図11】同実施の形態における半導体装置の製造方法を示す工程図

【図12】本発明の第5の実施の形態における半導体装置の断面図

【図13】本発明の第6の実施の形態における半導体装置の断面図

【図14】本発明の第7の実施の形態における半導体装置の透視平面図

【図15】(a)本発明の第8の実施の形態における半導体装置の概略概念図

50 (b)同実施の形態における半導体装置の配線間の等価

回路図

【図16】比較例における第1の半導体素子と第2の半導体素子とに異なる駆動電圧を負荷したときの信号波形の関係を示す特性図

【図17】本発明の第8の実施の形態における第1の半導体素子と第2の半導体素子と同じ駆動電圧を負荷したときの信号波形の関係を示す特性図

【図18】従来の半導体装置の断面図

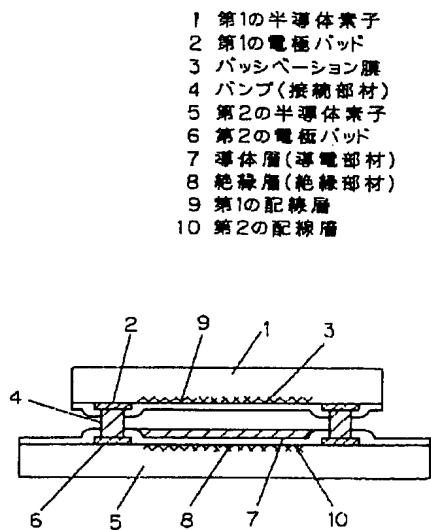
【図19】従来の半導体装置の製造方法を示す工程図

【符号の説明】

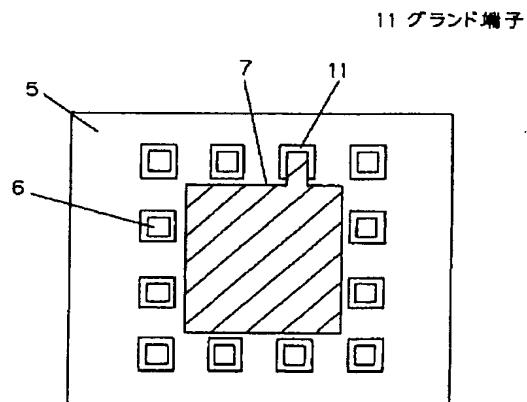
- 1, 31, 41, 45, 51, 61 第1の半導体素子
- 2, 32, 52, 62 第1の電極パッド
- 3 パッシベーション膜(絶縁部材)
- 4 バンプ(接続部材)
- 5, 35, 42, 46, 55, 65 第2の半導体素子
- 6, 36, 36a, 56, 66 第2の電極パッド *

- * 7, 18 導体層(導電部材)
- 8 絶縁層(絶縁部材)
- 9, 53, 63 第1の配線層
- 10, 57, 67 第2の配線層
- 11 グランド端子
- 12 導体膜(導電部材)
- 16 絶縁フィルム(絶縁部材)
- 17, 19 金属突起(接続部材)
- 23 導体箔(導電部材)
- 10 24, 25 絶縁樹脂(絶縁部材)
- 34 第1の素子領域
- 38 第2の素子領域
- 43 EEPROM(第2の素子領域)
- 44 ロジック回路(第2の素子領域)
- 47 回路(第2の素子領域)

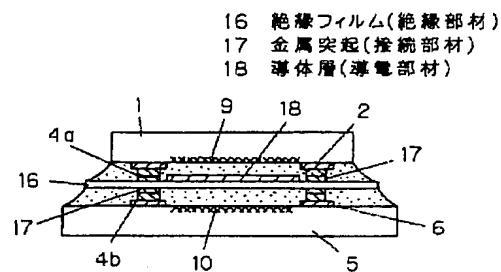
【図1】



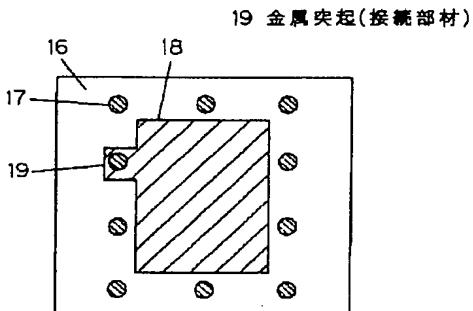
【図2】



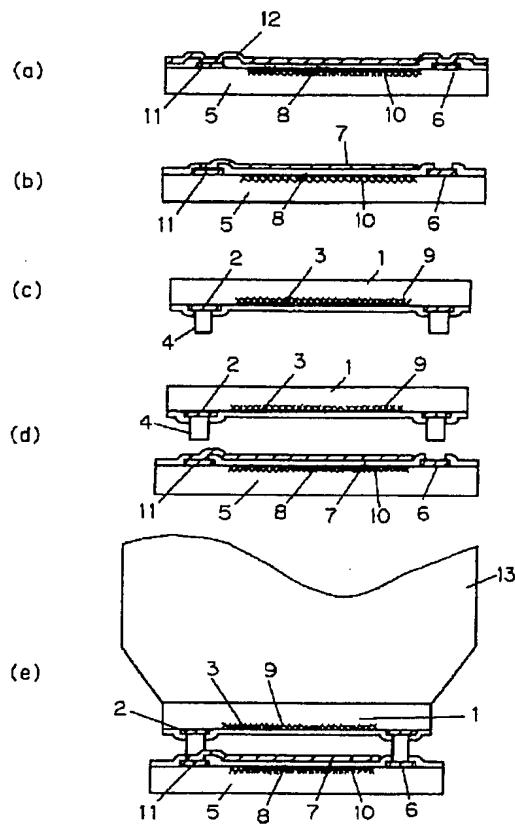
【図5】



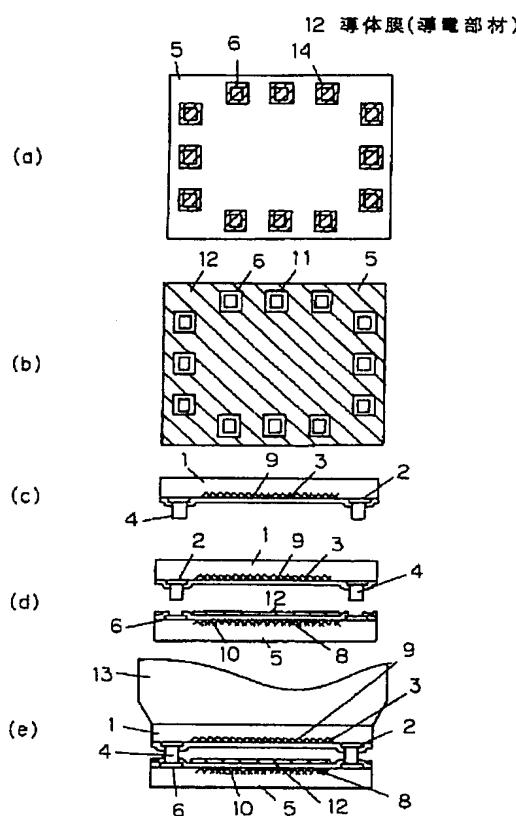
【図6】



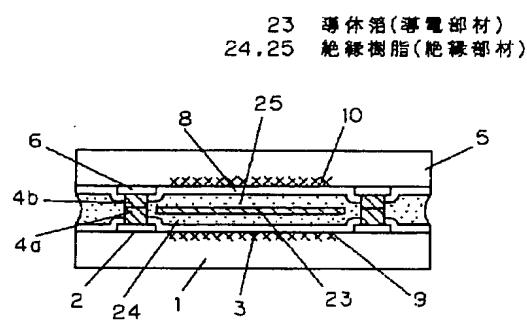
【図3】



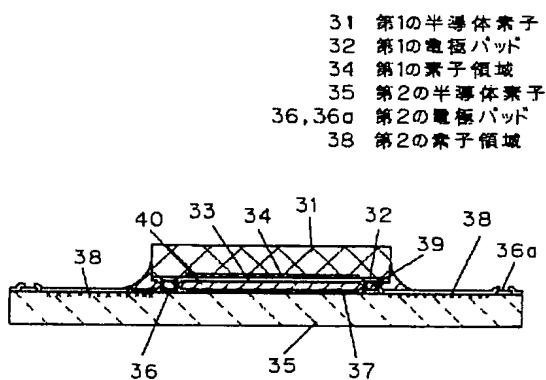
【図4】



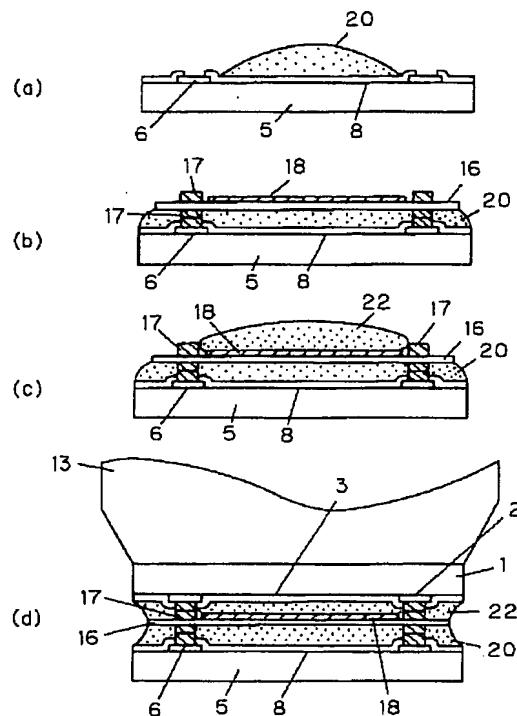
【図8】



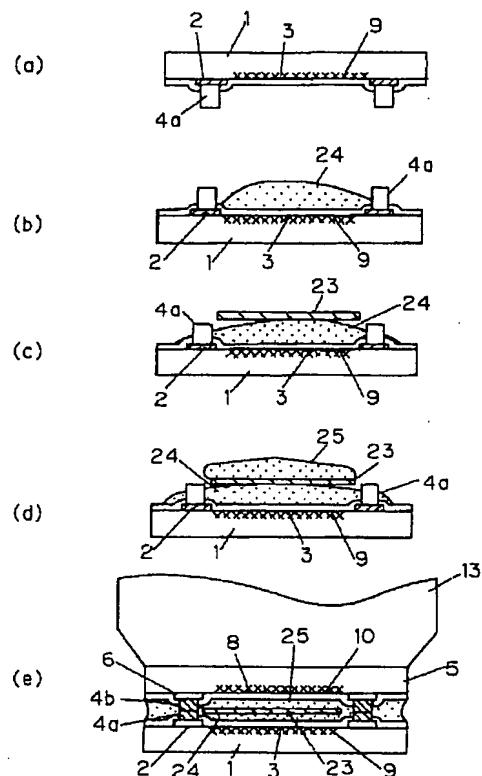
【図10】



【図7】

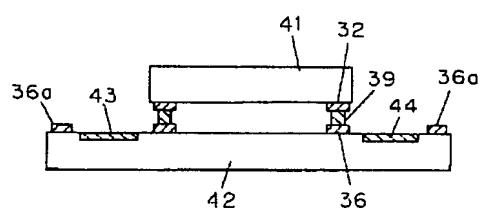


【図9】



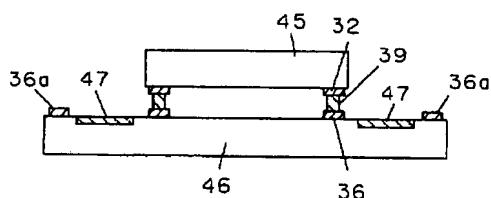
【図12】

41 第1の半導体素子
42 第2の半導体素子
43 EPROM(第2の素子領域)
44 ロジック回路(第2の素子領域)

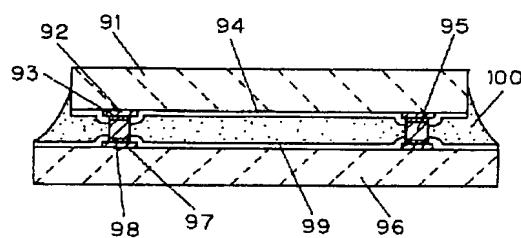


【図13】

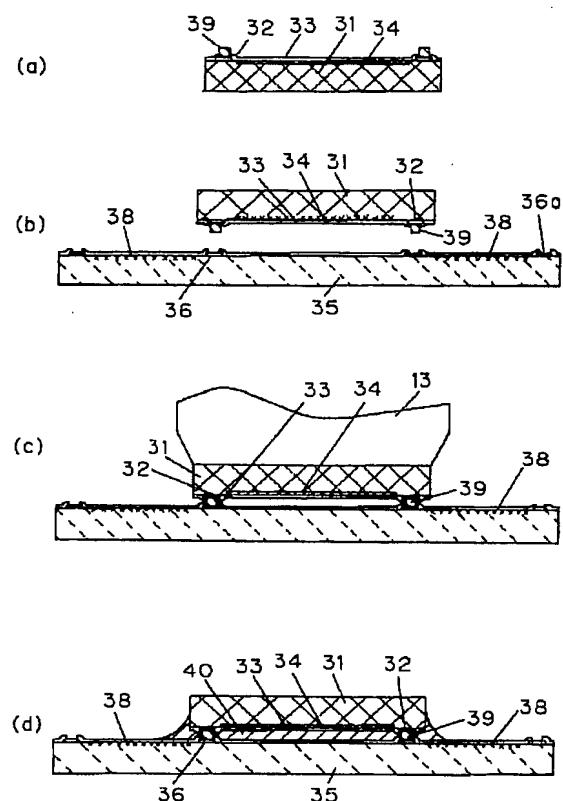
45 第1の半導体素子
46 第2の半導体素子
47 回路(第2の素子領域)



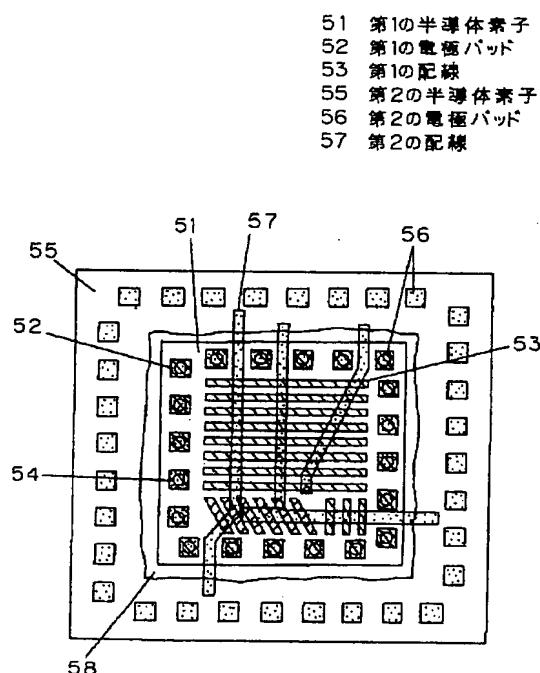
【図18】



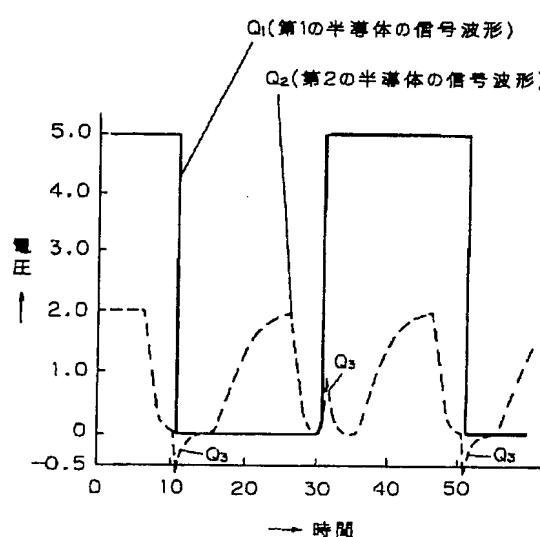
【図11】



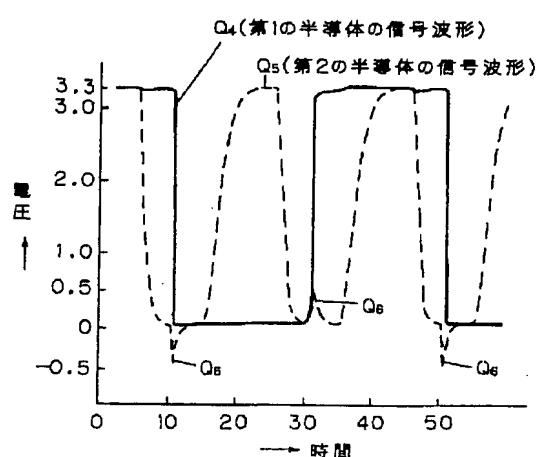
【図14】



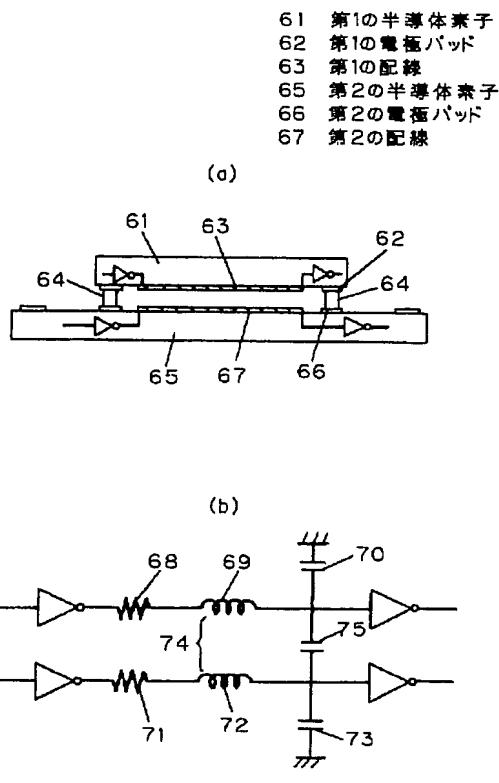
【図16】



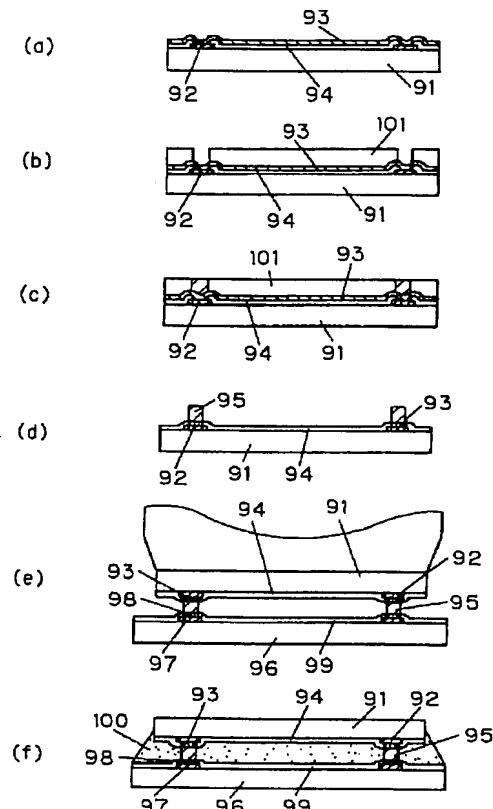
【図17】



【図15】



【図19】



フロントページの続き

(72)発明者 三村 忠昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 山根 一郎
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山下 太紀夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 松木 敏夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 春日 義昭
大阪府門真市大字門真1006番地 松下電器
産業株式会社内